

3-03023-TA

Semiconductor integrated circuit with input protection circuit

Patent Number: ☐ US4849654
Publication date: 1989-07-18
Inventor(s): OKADA YOSHIO (JP)
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)
Requested Patent: ☐ JP63233560
Application Number: US19880158728 19880222
Priority Number(s): JP19870065725 19870323
IPC Classification: H03K3/01; H03K17/16
EC Classification: H03K17/08, H03K17/16, H01L27/02B4F
Equivalents: JP1687662C, JP3050423B, KR9101425

Abstract

A semiconductor device having an input protection circuit is disclosed. The semiconductor device includes a power-on reset circuit which generates a pulse having a pulse width determined according to an input surge, applied to an input terminal when an input voltage has risen to a preset level. In response to a pulse generated by the power-on reset circuit, a CMOS inverter supplies a predetermined voltage to the base of a bipolar transistor and controls the bipolar transistor so that it clamps an input voltage supplied thereto to a voltage level lower than the withstanding voltage of the internal circuit in a period corresponding to the pulse width. Thus, the input protection circuit constituted by the bipolar transistor clamps an input voltage, supplied by the input terminal to the internal circuit, to a predetermined level. In this invention, the control circuit activates the bipolar transistor at the time the input voltage rises and keeps it active while the power-on reset circuit is generating a pulse, causing an input surge to be bypassed through the bipolar transistor, during this period of time. Thus, the input voltage can be clamped to a level lower than the withstanding voltage of the internal circuit, protecting the internal circuit, even when a surge voltage higher than the withstanding voltage is generated.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭63-233560

⑪ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開	昭和63年(1988)9月29日
H 01 L 27/08	3 2 1	H-7735-5F		
27/04		H-7514-5F		
29/78	3 0 1	K-8422-5F	審査請求 有	発明の数 1 (全4頁)

⑭ 発明の名称 入力保護回路を備えた半導体集積回路

⑮ 特 願 昭62-65725

⑯ 出 願 昭62(1987)3月23日

⑰ 発 明 者 岡 田 芳 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

入力保護回路を備えた半導体集積回路

2. 特許請求の範囲

入力端子から内部回路へ入力される入力電圧を所定のレベルにクランプするクランプ回路を構成するバイポーラトランジスタからなる入力保護回路を備えた半導体集積回路において、

前記入力電圧の立上がり時の所定レベルで発生し前記入力端子に印加される入力サージに基づいて決定されるパルス幅を有するパルスを出力するパワーオンリセット回路と、

このパワーオンリセット回路から出力される前記パルスに応じて前記バイポーラトランジスタのベースに所定の電圧を印加し、前記パルス幅に応じた期間に前記バイポーラトランジスタが前記内部回路の耐圧より低いレベルでクランプするように前記バイポーラトランジスタの動作を制御する制御回路とを具備したことを特徴とする入力保護回路を備えた半導体集積回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、例えばCMOS集積回路において入力保護回路を備えた半導体集積回路に関する。

(従来の技術)

従来、例えばメモリを構成するCMOS (Complementary MOS) 集積回路では、電源入力端子(Vccピン)には入力保護回路が設けられている。入力保護回路は、第3図に示すように、集積回路の基板(p型基板)10の一部に形成されたnpn型寄生バイポーラトランジスタ11により構成されている。このトランジスタ11は、n⁺拡散層12、13及び基板10のp型層からなる。尚、n⁺拡散層12、13の近傍の基板10表面には、フィールド酸化膜14が形成されている。

入力保護回路は、電源入力端子15に入力される入力電圧V_Iを所定のレベルの電圧V_{cc}にクランプし、集積回路の内部回路(例えばメモリ回路)へ耐圧以上の高レベルの電圧が印加されるのを防

止する。具体的には、例えば電圧入力端子15にキャパシタ16及び抵抗17が接続されており、入力電圧 V_i がそのCR時定数により第4図に示すように変化した際でも、内部回路へは一定レベルの電圧 V_{cc} が入力されることになる。ここで、電圧 V_{cc} は、バイポーラトランジスタ11の n^+ 拡散層12とp型基板10とのブレイクダウン電圧 V_{bd} 及び基板10と n^+ 拡散層13との順方向電圧 V_f との和である。即ち、電圧 V_{cc} は、トランジスタ11の接合の耐圧(クランプ回路の耐圧)により決定される。また、電圧 V_{cc} は、内部回路を構成する素子の耐圧より小さいレベルに設定される必要がある。

しかしながら、内部回路の素子の耐圧は、集積回路の製造工程におけるパターン形成及び各種のプロセス条件等により決定されており、ばらつきも大きいのが普通である。このため、クランプ回路の耐圧が内部回路の素子の耐圧より大きくなり、入力保護回路としては機能しない場合がある。このような不都合を解消するには、クランプ回路の耐圧を十分に低い値に設定することが考えられる

CMOSインバータからなる制御回路により、パワーオンリセット回路から出力されるパルスのパルス幅に応じた期間に内部回路の耐圧より低いレベルでクランプするように動作制御される。パワーオンリセット回路は、内部回路に対する入力電圧の立上がり時の所定レベルで発生し、入力サージに基づいて決定されるパルス幅を有するパルスを制御回路へ出力する回路である。

このような構成により、入力電圧の立上がり時からパルス幅の期間に、バイポーラトランジスタが動作し、この期間に内部回路の入力サージをバイパスさせる。これにより、入力電圧のレベルを内部回路の耐圧より低い値にクランプし、その耐圧以上の入力サージにより内部回路が破壊される等の事態を防止することが可能となる。

(実施例)

以下図面を参照して本発明の実施例を説明する。第1図は同実施例の半導体集積回路の構成を示す回路図である。第1図において、p-n-p型バイポーラトランジスタ20は、CMOS集積回路を

が、このために特別の工程が必要となる。

(発明が解決しようとする問題点)

従来の入力保護回路を備えた集積回路では、入力保護回路を構成するクランプ回路の耐圧が集積回路の内部回路の耐圧より大きくなる場合がある。このような点を解消するには、クランプ回路の耐圧を十分に低い値に設定するための製造工程が必要となる。このため、集積回路の製造工程が複雑となり、製造コストの増大を招く問題がある。

本発明の目的は、集積回路の製造工程において複雑な工程を必要とすることなく、内部回路をその耐圧以上の入力電圧から確実に保護することができる入力保護回路を備えた半導体集積回路を提供することにある。

[発明の構成]

(問題点を解決するための手段と作用)

本発明は、例えばCMOS集積回路において、クランプ回路を構成するバイポーラトランジスタからなる入力保護回路を備えた半導体集積回路である。バイポーラトランジスタは、例えば

構成するp型基板10に形成されるn型well 21に形成されている。このトランジスタ20は、n型well 21に形成された p^+ 層22をエミッタ、n型well 21をベース及び基板10をコレクタとするトランジスタである。n型well 21の表面には、 p^+ 層22の近傍に n^+ 層23が形成されている。電圧入力端子15は、抵抗17を介してトランジスタ20のエミッタである p^+ 層22に接続されている。

一方、CMOSインバータ回路24は、pチャネルMOSトランジスタ25、nチャネルMOSトランジスタ26及びダイオード接続のnチャネルMOSトランジスタ27、28からなる。MOSトランジスタ25、26の共通接続点は、トランジスタ20の n^+ 層23に接続されている。また、MOSトランジスタ25、26の各ゲートは、パワーオンリセット回路29の出力端子に接続されている。

パワーオンリセット回路29は、内部回路へ入力される電圧 V_{cc} の立上がり時の所定レベルを検知し、予め決定されたパルス幅(例えば $1\mu s$)のパルスPRをMOSトランジスタ25、26の各ゲート

トへ出力する。

次に、図2実施例の動作を説明する。先ず、電源入力端子15に例えば静電気による入力サージ V_i が印加されると、第2図に示すように、電圧 V_{cc} が上昇し始める。パワーオンリセット回路29は、電圧 V_{cc} の立上がり時の所定のレベルを検知すると、第2図に示すように、例えば $1\mu s$ のバルスPRを出力する。このバルスPRの出力により、pチャンネルのMOSトランジスタ25はオフし、nチャンネルのMOSトランジスタ26はオン状態となる。

これにより、バイポーラトランジスタ20はオン状態となり、p⁺層22からn型well 21、基板10へ順方向電流が流れる。即ち、入力サージ V_i による電流がバイポーラトランジスタ20をバイパスして流れることになり、電圧 V_{cc} は所定の電圧値「 $2V_t + V_i$ 」にクランプされることになる。ここで、値 $2V_t$ はMOSトランジスタ27、28の閾値電圧である。n型well 21は、第2図に示すように、その値 $2V_t$ の電圧にクランプされる

ている。バイポーラトランジスタ20は、バルス幅の期間、入力サージのバイパスとなり、電圧 V_{cc} を所定レベル（ $2V_t + V_i$ ）にクランプする。このため、集積回路の内部回路には素子の耐圧以上の入力電圧が印加されることはなく、入力サージにより破壊するなどの事態を確実に防止することができる。

即ち、バルス幅の期間では、クランプ回路の耐圧を内部回路の素子の耐圧より十分に低下させることができる。したがって、結果的に、内部回路を入力サージから保護する入力保護回路として確実に機能させることができる。ここで、バイポーラトランジスタ20はCMOS集積回路を製造する際の工程で形成されるため、特別に耐圧を低下させる工程を必要とすることなく、確実に機能する入力保護回路（クランプ回路）を構成することができる。

また、バルス幅の期間の経過後は、バイポーラトランジスタ20はオフとなり、通常のパワーオン動作に移行し、内部回路には所定の電源電圧が供

ことになる。また、 V_i はp⁺層22とn型well 21の順方向電圧である。

パワーオンリセット回路29のバルスPRが立下がると、MOSトランジスタ25はオンし、MOSトランジスタ26はオフ状態となる。これにより、第2図に示すように、n⁺層23（n型well 21）に印加される電圧 V_b は $2V_t$ から V_{cc} へ変化する。このため、バイポーラトランジスタ20はオフ状態となり、p⁺層22とn型well 21の順方向電流は流れないことになる。このとき、パワーオン時であれば、第2図の点線で示すように、電圧 V_{cc} は通常の電源電圧レベルへ移行し、集積回路の内部回路（例えばメモリ回路）へ入力されることになる。

このようにして、入力サージの入力時（又はパワーオン時）に所定のバルス幅のバルスにより、そのバルス幅に応じた期間、クランプ回路を構成するバイポーラトランジスタ20をオン状態にするこの場合、バルス幅は、入力サージによる電流が完全に流れるまでに十分な時間に応じて決定され

給されることになる。

尚、前記実施例において、n型well 21のクランプ電圧を「 $2V_t$ 」としたが（第2図を参照）、一般的にはクランプされた V_{cc} がパワーオンリセット回路29を動作させうる程度に高い電圧であって、しかも内部回路の素子の耐圧以下であればよく、それぞれの素子に応じて適切な値に決定されるものである。

〔発明の効果〕

以上詳述したように本発明によれば、例えばCMOS集積回路において、入力サージ（パワーオン時）の入力時から所定の期間のみ、バイポーラトランジスタを内部回路の耐圧より十分低いクランプ回路として動作させる。したがって、内部回路を入力サージから確実に保護することができかつ所定期間後は内部回路に通常動作に必要な電源電圧を供給することができる。

これにより、集積回路の製造工程において複雑な工程を必要とすることなく、内部回路をその耐圧以上の入力電圧から確実に保護することができ

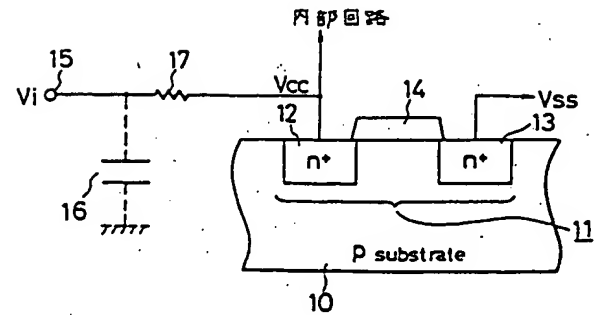
る入力保護回路を備えた集積回路を提供することができるものである。

4. 図面の簡単な説明

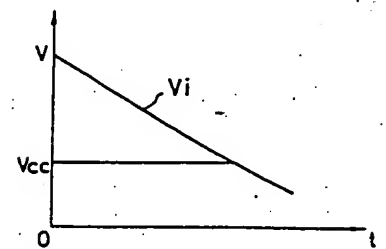
第1図は本発明の実施例に係わる集積回路の構成を説明するための図、第2図は同実施例の動作を説明するためのタイミングチャート、第3図は従来の入力保護回路の構成を説明するための図、第4図は従来の入力保護回路の動作を説明するための特性図である。

10…基板、20…バイポーラトランジスタ、21… n 型well、22… p^+ 層、23… n^+ 層、24…CMOSインバータ回路、25… p チャンネルMOSトランジスタ、26、27、28… n チャンネルMOSトランジスタ、29…パワーオンリセット回路。

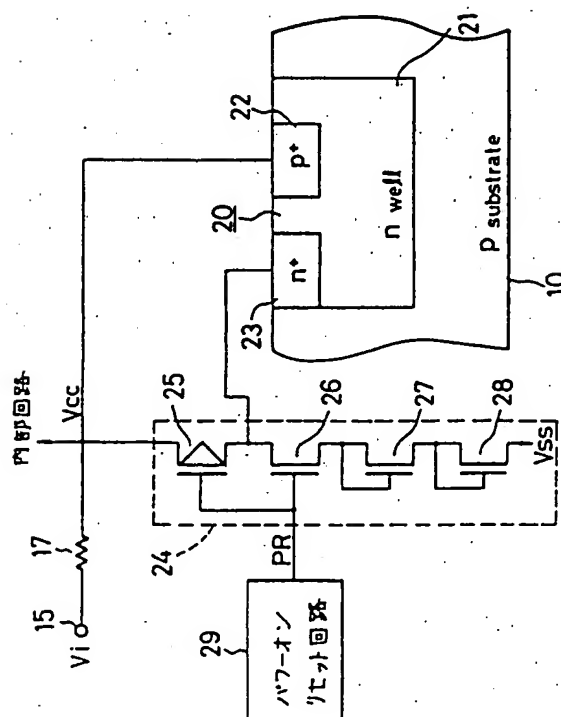
出願人代理人 弁理士・幹江武彦



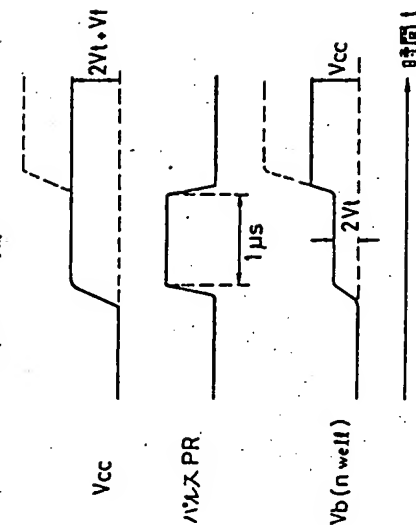
第3図



第4図



第1図



第2図